



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원 번호 : 특허출원 1999년 제 47729 호
Application Number

출원 년 월 일 : 1999년 10월 30일
Date of Application

출원인 : 현대전자산업주식회사
Applicant(s)

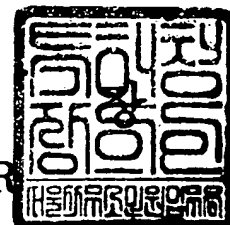
CERTIFIED COPY OF
PRIORITY DOCUMENT



2000 년 09 월 21 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	1999.10.30
【발명의 명칭】	피드백 회로를 구비하여 고속으로 동작하기 위한 이미지 센서
【발명의 영문명칭】	HIGH SPEED IMAGE SENSOR HAVING FEEDBACK CIRCUIT
【출원인】	
【명칭】	현대전자산업주식회사
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	박해천
【대리인코드】	9-1998-000223-4
【포괄위임등록번호】	1999-008448-1
【대리인】	
【성명】	원석희
【대리인코드】	9-1998-000444-1
【포괄위임등록번호】	1999-008444-1
【발명자】	
【성명의 국문표기】	김찬기
【성명의 영문표기】	KIM,Chan Ki
【주민등록번호】	740226-1231124
【우편번호】	467-860
【주소】	경기도 이천시 부발읍 현대3차아파트 301-108
【국적】	KR
【발명자】	
【성명의 국문표기】	이강진
【성명의 영문표기】	LEE,Kang Jin
【주민등록번호】	700525-1047410
【우편번호】	121-251
【주소】	서울특별시 마포구 성산1동 250-24
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

박해천 (인) 대리인

원석희 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 7 면 7,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 6 항 301,000 원

【합계】 337,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 칩 면적의 증가없이 비트라인 노드에 피드백 회로를 구비하여 비트라인 노드값의 천이를 빠르게 수행함으로써 데이터의 고속 출력이 가능한 이미지 센서를 제공하기 위한 것으로, 이를 위해 본 발명은 클럭 신호에 응답하여 상기 이미지 센서의 전체적인 동작을 제어하기 위한 디지털 제어 회로부; 빛에 반응하는 성질을 극대화 시키도록 만든 화소를 가로 N개, 세로 M개로 배치하여 외부에서 들어오는 상에 대한 정보를 감지하는 화소 어레이부; 상기 클럭 신호에 응답하여 선형적으로 감소하는 비교 기준 전압 및 상기 화소 어레이부로부터 출력되는 상기 각 화소에서 감지한 아날로그 전압을 서로 비교하여, 상기 비교 기준 전압이 상기 아날로그 전압보다 클 때 인에이블되는 쓰기 가능 신호를 출력하는 아날로그-디지털 변환 수단; 및 상기 아날로그-디지털 변환 수단으로부터의 상기 쓰기 가능 신호에 응답하여 상기 비교 기준 전압에 대응되는 상기 디지털 제어 회로부로부터의 디지털 이미지 데이터를 저장하는 다수의 단위 래치로 이루어진 이중 버퍼를 포함하며, 상기 다수의 단위 래치는 각각, 상기 쓰기 가능 신호 및 상기 디지털 제어 회로부로부터 출력되는 뱅크 선택 신호에 각각 응답하여 상기 디지털 제어 회로부로부터 출력되는 상기 디지털 이미지 데이터에 대한 스위칭 동작을 수행하는 제1 및 제2 트랜지스터; 비트라인 및 접지전원단 사이에 직렬 연결되며, 상기 디지털 제어 회로부로부터 출력되는 어드레스 신호에 응답하여 인에이블되는 컬럼 선택 신호를 게이트단으로 입력받는 제3 트랜지스터 및 게이트단이 상기 제2 트랜지스터의 드레인단에 연결되는 제4 트랜지스터; 및 상기 디지털 이미지 데이터의 변화에 해당되는 상기 비트라인의 전압 레벨 변화를 감지하고, 감지한 상기 비트라인의 전압 레벨을 상기 이미지 센서

의 하이 또는 로우의 이미지 데이터로 상대적으로 빠르게 결정시켜 출력하기 위한 피드백 회로부를 구비한다.

【대표도】

도 4

【색인어】

이미지 센서, 이중 버퍼, 피드백 회로부, 화소, 이미지 데이터

【명세서】**【발명의 명칭】**

피드백 회로를 구비하여 고속으로 동작하기 위한 이미지 센서{HIGH SPEED IMAGE SENSOR HAVING FEEDBACK CIRCUIT}

【도면의 간단한 설명】

도 1은 CMOS 이미지 센서에 대한 일실시예 블록도.

도 2는 CMOS 이미지 센서의 코아 블록도.

도 3은 본 발명에 따른 피드백 회로를 구비한 CMOS 이미지 센서의 일실시예 블록도.

도 4는 본 발명의 일실시예에 따른 피드백 회로부를 더 구비하는 이중 버퍼의 단위 래치에 대한 내부 회로도.

도 5는 이미지 센서를 구동하는 클럭 신호(CLK)와 상기 도 4의 피드백 회로를 제어하는 프리차지 신호(PRECHARGE) 및 역프리차지 신호(PRECHARGE_B)의 파형도.

도 6은 프리차징 동작 시 및 래치에 저장된 하이의 데이터값을 읽는 경우에 대하여 종래와 본 발명의 비트라인 전압값 천이 상태를 비교 시뮬레이션한 결과 도면.

*** 도면의 주요 부분에 대한 설명**

10 : 제어 및 외부 시스템 인터페이스 부

20 : 화소 어레이부 30 : 아날로그-디지털 변환기

40 : 이중 버퍼 50 : 피드백 회로부

31 : 디지털-아날로그 변환기 32 : 전압 비교기

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <12> 본 발명은 씨모스(Complementary Metal Oxide semiconductor, 이하 CMOS라 함) 이미지 센서에 관한 것으로, 특히 CMOS 이미지 센서를 구성하는 화소 어레이(pixel array)로부터의 이미지 데이터를 고속으로 출력하기 위한 장치에 관한 것이다.
- <13> 일반적으로, 이미지 센서란 빛에 반응하는 반도체의 성질을 이용하여 이미지를 찍어(capture)내는 장치를 말하는 것이다. 자연계에 존재하는 각 피사체의 부분부분은 빛의 밝기 및 파장 등이 서로 달라서, 감지하는 장치의 각 화소에서 다른 전기적인 값을 보이는데, 이 전기적인 값을 신호처리가 가능한 레벨로 만들어 주는 것이 바로 이미지 센서가 하는 일이다.
- <14> 이를 위해 이미지 센서는 수십만에서 수백만 개의 단위 화소로 구성된 화소 어레이와, 수천개 정도의 화소에서 감지한 아날로그(analog) 전압을 디지털(digital) 전압으로 바꿔주는 장치와, 수천에서 수만 개의 저장 장치 등으로 구성된다.
- <15> 도 1은 CMOS 이미지 센서에 대한 일실시에 블록도로서, CMOS 이미지 센서의 전체적인 동작을 제어하며, 외부 시스템(system)에 대한 인터페이스(interface) 역할을 담당하는 제어 및 외부 시스템 인터페이스 부(10), 빛에 반응하는 성질을 극대화 시키도록 만

든 화소를 가로 N개, 세로 M개로 배치하여 외부에서 들어오는 상(image)에 대한 정보를 감지하는 화소 어레이부(20), 센서의 각 화소에서 감지한 아날로그 이미지 데이터 신호를 디지털 시스템에서 처리가 가능하도록 디지털 데이터 신호로 바꿔주는 아날로그-디지털 변환기(Analog-digital converter, 30), 및 상기 아날로그-디지털 변환기(30)의 출력(쓰기 가능 신호)에 응답하여 디지털화된 화소의 이미지 데이터인 제어 및 외부 시스템 인터페이스부(10)로부터의 디지털 카운트 값을 저장하는 이중 버퍼(40)로 이루어진다. 이때, 아날로그-디지털 변환기(30)는 각 화소에서 감지한 전압과 비교하는 데 사용되는, 클럭에 따라 선형적으로 감소하는 램프(ramp) 형태의 비교 기준 전압(reference voltage)을 만들어내는 디지털-아날로그 변환기(Digital-Analog converter, 이하 DAC라 함, 31) 및 화소 어레이(20)로부터 출력되는 아날로그 신호와 DAC(31)로부터 출력되는 비교 기준 전압을 비교하여, 비교 기준 전압이 화소 전압보다 큰 동안 제어 및 외부 시스템 인터페이스 부(10)로부터 출력되는 카운터 값을 이중 버퍼(40)에 쓰여지도록 하는 쓰기 가능 신호를 출력하는 N개의 배열로 구성된 전압 비교기(32)로 이루어진다.

<16> 도 2는 CMOS 이미지 센서의 코아 블록도로서, 단위 화소(20')와, 하나의 비교기(32')와, 이중 버퍼를 구성하는 단위 래치(40')를 포함하여 이루어진다.

<17> 도 2에 도시된 바와 같이 화소 어레이 중 단위 화소(20')는 1개의 포토 다이오드(21)와 4개의 트랜지스터(M1, M2, M3, M4)로 각각 구성된다. 4개의 트랜지스터는 포토 다이오드(21)에 생성된 광전하를 센싱 노드(A)로 운송하기 위한 트랜스퍼 트랜지스터(M1)와, 다음 신호 검출을 위해 상기 센싱 노드(A)에 저장되어 있는 전하를 배출하기 위한 리셋 트랜지스터(M2)와, 소스 폴로우(source follower) 역할을 수행하는 드라이브 트랜지스터(M3) 및 스위칭으로 어드레싱을 할 수 있도록 하는 셀렉트 트랜지스터(M4)이다.

- <18> 상기 비교기(32')와 단위 래치(40')는 단위 화소(20')에서 얻은 아날로그 이미지 데이터를 DAC(31)에서 출력되는 비교 기준 전압과 비교하여 디지털 값을 만들어 내고, 저장하는 역할을 수행한다. 아날로그 전압을 디지털 전압으로 바꾸는 방법은 단일 경사(single-slope) 방법을 사용하며, 비교기(32)와 이중 버퍼(40)와의 유기적인 동작으로 이루어진다.
- <19> 도 1 및 도 2를 참조하여, 1개 화소에 대한 전압 변환 과정을 구체적으로 살펴본다.
- <20> DAC(31)는 매 클럭마다 정해진 단계만큼 전압 레벨을 떨어 뜨리며 비교 기준 전압(V_r)을 생성하고, 비교기(32)는 생성된 비교 기준 전압(V_r)과 화소에서 얻은 아날로그 이미지 데이터에 해당하는 화소 전압(V_p)을 서로 비교 한다. 이때 제어 및 외부 시스템 인터페이스부(10)에서는 클럭에 응답하여 업 카운팅(up-counting) 동작을 해가며, 그 디지털 카운트 값을 이중 버퍼(40)로 보내어 쓸 수 있도록 한다.
- <21> 한편, 이중 버퍼(40)는 가로로 N개(화소 어레이부(20)의 가로 배열된 화소의 수), 세로로 출력 비트수(K)의 4배의 단위 래치(40')들로 구성된다.
- <22> 구체적으로, 단위 래치(40')는 2개의 스위치 구실을 하는 비교기 출력 트랜지스터(M5)와 뱅크 선택 트랜지스터(M6)를 구비하며, 상기 2개의 트랜지스터(M5, M6)는 각각, 비교기(32')로부터의 쓰기 가능 신호와 제어 및 외부 시스템 인터페이스부(10)로부터의 뱅크 선택 신호에 따라 온/오프 동작이 결정된다. 즉, 뱅크 선택 신호가 인에이블된 상태에서 비교 기준 전압(V_r)이 화소 전압(V_p)보다 큰 경우, 비교기 출력 트랜지스터(M5)가 온되어 카운터에서 오는 디지털 카운트 값이 또다른 저장 트랜지스터(M9)의 게이트단에 인가되어 저장되며, 비교 기준 전압(V_r)이 화소 전압(V_p)보다 작아지면 비교기 출력

트랜지스터(M5)가 오프되어 더 이상 단위 래치(40')에 값을 쓸 수 없게 되어 최종적으로 래치(40')에 쓰여진 값이 바로 화소에서 얻은 아날로그 이미지 데이터 신호의 변환된 디지털 이미지 데이터 신호가 된다. 이때, 카운터는 제어 및 외부 시스템 인터페이스부(10) 내에 존재한다.

<23> 상기와 같이 구성된 단위 래치(40')에 저장된 디지털 이미지 데이터 신호를 외부로 출력하기 위한 이미지 센서의 동작은 다음과 같다.

<24> 먼저, 단위 래치(40') 내부에 구비된 비교기 출력 트랜지스터(M5), 뱅크 선택 트랜지스터(M6), 프리차지 트랜지스터(M7) 및 컬럼 선택 트랜지스터(M8)가 오프된 상태에서 클럭의 전압이 로우(low)인 반주기 동안 프리차지 신호에 의해 프리차지 트랜지스터(M7)가 온되어 비트라인의 전압이 하이(high)가 되고, 그에 따라 로우의 읽기 데이터가 출력된다.

<25> 다음으로, 클럭의 전압이 하이인 반주기동안 프리차지 신호에 의해 프리차지 트랜지스터(M7)가 오프되고, 컬럼 선택 신호에 의해 컬럼 선택 트랜지스터(M8)가 온됨으로써 저장 트랜지스터(M9)의 게이트에 저장된 데이터 전압이 로우일 경우 비트라인 전압은 그대로 하이로 유지되어 앞의 반주기와 마찬가지로 로우의 읽기 데이터가 출력된다. 반면에, 저장 트랜지스터(M9)의 게이트에 저장된 데이터 전압이 하이일 경우에는 비트라인의 전압이 로우로 내려가 읽기 데이터로 하이로 천이된 전압이 출력된다. 이러한 과정이 매 클럭 당 반복되면서 각 단위 래치에 저장된 디지털 전압값들을 출력한다.

<26> 그러나, 상기와 같이 이루어지는 데이터 출력 과정은 클럭이 하이인 반주기동안에 제어 및 외부 시스템 인터페이스 부(10)로부터 출력되는 컬럼 어드레스 신호들이 컬럼 복호기(column decoder, 도면에는 도시되지 않음)를 거쳐 복호화된 컬럼 선택 신호를 로

우에서 하이로 천이시키는 데 시간이 오래 걸려 래치에 저장된 데이터 값이 하이일 경우 비트라인의 전압을 하이에서 로우로 천이시킬 수 있는 시간이 제한되기 때문에 고속 동작에 제한을 받는다. 그리고, 컬럼 복호기 구조 상 하나의 컬럼 선택신호를 선택하기 위해서는 수백개의 논리 게이트를 거쳐야 하고, 각 컬럼 선택 신호는 수십개의 래치에 연결되어 있으므로 화소 어레이 사이즈나 출력 데이터 비트수가 줄지 않는 한 컬럼 선택 신호를 빨리 스위칭하는 것은 한계가 있다. 반면, 클럭이 로우인 반주기동안 인에이블되는 프리차지 신호는 제어 및 외부 시스템 인터페이스부(10)에서 출력되어 큰 부하가 걸리는 것 없이 바로 프리차지 트랜지스터(M7)로 연결되므로 클럭 전압이 로우가 되는 순간으로부터 얼마 지나지 않은 시간에 비트라인을 하이의 전압으로 프리차징하므로 타이밍을 고려할 필요가 없다. 래치에 저장된 데이터 값이 하이인 경우 반주기안에 데이터를 출력하기 위해 할당된 시간은 클럭의 전압이 하이인 구간 중 컬럼 선택 신호가 하이로 되는 시간을 제외한 시간 동안에 래치에 저장된 값을 읽어가야만 한다. 따라서, 클럭의 반주기 안에 래치에 저장된 데이터를 빨리 읽기 위해서는 비트라인 전압이 빨리 로우로 천이할 수 있도록 직렬로 연결된 트랜지스터(M8, M9)의 사이즈를 증가시킬 수 있는 데, 트랜지스터(M8, M9)의 사이즈를 크게 하면 수만개의 단위 래치가 다같이 커져 엄청난 면적을 차지함으로써 칩의 면적이 전체적으로 커지는 단점이 있다.

【발명이 이루고자 하는 기술적 과제】

<27> 본 발명은 상기 문제점을 해결하기 위하여 안출된 것으로서, 칩 면적의 증가없이 비트라인 노드에 피드백 회로를 구비하여 비트라인 노드값의 천이를 빠르게 수행함으로써

써 데이터의 고속 출력이 가능한 이미지 센서를 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<28> 상기 목적을 달성하기 위한 본 발명은, 클럭 신호에 응답하여 상기 이미지 센서의 전체적인 동작을 제어하기 위한 디지털 제어 회로부; 빛에 반응하는 성질을 극대화 시키도록 만든 화소를 가로 N개, 세로 M개로 배치하여 외부에서 들어오는 상에 대한 정보를 감지하는 화소 어레이부; 상기 클럭 신호에 응답하여 선형적으로 감소하는 비교 기준 전압 및 상기 화소 어레이부로부터 출력되는 상기 각 화소에서 감지한 아날로그 전압을 서로 비교하여, 상기 비교 기준 전압이 상기 아날로그 전압보다 클 때 인에이블되는 쓰기 가능 신호를 출력하는 아날로그-디지털 변환 수단; 및 상기 아날로그-디지털 변환 수단으로부터의 상기 쓰기 가능 신호에 응답하여 상기 비교 기준 전압에 대응되는 상기 디지털 제어 회로부로부터의 디지털 이미지 데이터를 저장하는 다수의 단위 래치로 이루어진 이중 버퍼를 포함하며, 상기 다수의 단위 래치는 각각, 상기 쓰기 가능 신호 및 상기 디지털 제어 회로부로부터 출력되는 뱅크 선택 신호에 각각 응답하여 상기 디지털 제어 회로부로부터 출력되는 상기 디지털 이미지 데이터에 대한 스위칭 동작을 수행하는 제1 및 제2 트랜지스터; 비트라인 및 접지전원단 사이에 직렬 연결되며, 상기 디지털 제어 회로부로부터 출력되는 어드레스 신호에 응답하여 인에이블되는 컬럼 선택 신호를 게이트단으로 입력받는 제3 트랜지스터 및 게이트단이 상기 제2 트랜지스터의 드레인단에 연결되는 제4 트랜지스터; 및 상기 디지털 이미지 데이터의 변화에 해당되는 상기 비트라인의 전압 레벨 변화를 감지하고, 감지한 상기 비트라인의 전압 레벨을 상기 이미지 센서의 하이 또는 로우의 이미지 데이터로 상대적으로 빠르게 결정시켜 출력하기 위한 피

드백 회로부를 포함하여 이루어진다.

- <29> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.
- <30> 도 3은 본 발명에 따른 피드백 회로를 구비한 CMOS 이미지 센서의 일실시에 블록도로서, CMOS 이미지 센서의 전체적인 동작을 제어하며, 외부 시스템(system)에 대한 인터페이스(interface) 역할을 담당하는 제어 및 외부 시스템 인터페이스 부(10), 빛에 반응하는 성질을 극대화 시키도록 만든 화소를 가로 N개, 세로 M개로 배치하여 외부에서 들어오는 상(image)에 대한 정보를 감지하는 화소 어레이부(20), 센서의 각 화소에서 감지한 아날로그 데이터 신호를 디지털 시스템에서 처리가 가능하도록 디지털 데이터 신호로 바꿔주는 아날로그-디지털 변환기(Analog-digital converter, 30) 및 상기 아날로그-디지털 변환기(30)의 출력에 응답하여 디지털화된 화소의 이미지 데이터를 저장하는 이중 버퍼(40)로 이루어지되, 이중 버퍼(40)는 이중 버퍼(40)에 저장된 디지털화된 화소의 이미지 데이터를 고속 출력하기 위하여 비트라인의 전압 변화를 감지하여 비트라인의 전압값을 빠르게 하이나 로우로 결정시켜 주기 위한 피드백 회로부(50)를 추가로 더 구비한다. 이때, 아날로그-디지털 변환기(30)는 각 화소에서 감지한 전압과 비교하는 데 사용되는, 클럭에 따라 선형적으로 감소하는 램프(ramp) 형태의 비교 기준 전압(reference voltage)을 만들어내는 디지털-아날로그 변환기(Digital-Analog converter, 이하 DAC라 함, 31) 및 화소 어레이(20)로부터 출력되는 아날로그 신호와 DAC(31)로부터 출력되는 비교 기준 전압을 비교하여, 비교 기준 전압이 화소 전압보다 큰 동안 제어 및 외부 시스템 인터페이스 부(10)로부터 출력되는 카운터 값을 버퍼(40)에 쓰여지도록 하는 쓰기

가능 신호를 출력하는 N개의 배열로 구성된 전압 비교기(32)로 이루어진다.

<31> 상기 도 3과 같이 구성된 본 발명의 이미지 센서에서는 제어 신호의 변화없이 그리고 칩의 면적 증가없이 비트라인 끝단에 3개의 트랜지스터만을 구비하는 피드백 회로부(50)를 추가함으로써 클럭의 반주기 시간 중 컬럼 선택 신호가 선택되는 시간을 제외한 나머지 시간에 피드백 회로부(50)를 통해 비트라인의 전압값을 빨리 결정시켜줌으로써 래치에 저장되어 있는 데이터 값을 빨리 읽을 수 있도록 구성하였다.

<32> 도 4는 본 발명의 일실시예에 따른 피드백 회로부를 더 구비하는 이중 버퍼의 단위 래치에 대한 내부 회로도로서, 하나의 비교기(60)를 포함하여 도시한 도면이다.

<33> 도면에 도시된 바와 같이, 단위 래치(62)는 종래의 구성과 동일하게 2개의 스위치 구실을 하는 비교기 출력 트랜지스터(M13) 및 뱅크 선택 트랜지스터(M14)와, 뱅크 선택 트랜지스터(M14)의 드레인단에 연결되는 저장 트랜지스터(M16)와, 컬럼 선택 신호에 응답하여 상기 저장 트랜지스터(M16)에 저장된 디지털 데이터를 비트라인에 실는 컬럼 선택 트랜지스터(M15)와, 프리차지 신호(PRECHARGE)에 응답하여 비트라인을 프리차지하는 프리차지 트랜지스터(M17)로 이루어지며, 본 발명의 단위 피드백 회로(51)를 추가로 더 구비한다.

<34> 구체적으로, 단위 피드백 회로(51)는 전원전압단에 연결되며 게이트단이 비트라인에 연결되어 비트라인의 전압을 감지하는 PMOS 트랜지스터인 비트라인감지 트랜지스터(M11)와, 게이트단으로 역프리차지 신호(PRECHARGE_B)를 인가받아 프리차지하는 시간동안 턴온되어 노드 N의 전압을 로우로 만드는 NMOS 트랜지스터인 역

프리차지 트랜지스터(M12)와, 게이트단이 노드 N에 연결되어 비트라인의 전압값에 따라 결정되는 노드 N의 전압값에 응답하여 비트라인을 접지전원단과 연결하는 스위치 역할을 하는 NMOS 트랜지스터인 스위치 트랜지스터(M10)로 이루어진다.

<35> 도 5는 이미지 센서를 구동하는 클럭 신호(CLK)와 상기 도 4의 피드백 회로를 제어하는 프리차지 신호(PRECHARGE) 및 역프리차지 신호(PRECHARGE_B)의 파형도로서, 클럭(CLK)이 로우인 반주기 동안에 프리차징 동작을 수행하고, 클럭이 하이인 반주기동안 래치에 저장된 데이터를 읽는 동작을 수행한다.

<36> 도 3 내지 도 5를 참조하며, 단위 래치(62)로부터 데이터를 읽는 동작 과정을 설명하면 다음과 같다.

<37> 먼저, 단위 래치(62)의 프리차징 동작을 설명한다.

<38> 비트라인의 전압을 하이로 프리차징하는 동작으로, 클럭(CLK)이 로우인 반주기 동안에 수행된다. 클럭(CLK)이 로우인 반주기 동안에 프리차지 신호(PRECHARGE)는 로우, 역프리차지 신호(PRECHARGE_B)는 하이로 인에이블되고, 그에 따라 프리차지 트랜지스터(M17) 및 역프리차지 트랜지스터(M12)가 온됨으로써 비트라인은 하이로 충전되고 노드 N은 로우가 된다. 이때, 비트라인 노드의 전압값 하이는 비트라인감지 트랜지스터(M11)를 오프시킴으로써 노드 N의 전압에 영향을 주지 못하여 노드 N의 전압은 계속 로우 상태로 유지되고, 또한 스위치 트랜지스터(M10)는 노드 N의 로우 전압에 의해 오프되어 비트라인의 전압에 영향을 끼치지 못한다. 즉, 프리차지 동작 시에는 스위치 트랜지스터(M10)가 오프됨으로써 비트라인의 전압값에 영향을 주지 않으므로 단위 피드백 회로부(51)는 피드백 회로부가 없는 종래와 동일하게 데이터 전압을 로우로 유지시킨다.

<39> 다음으로, 단위 래치(62)에 저장된 '0' 데이터를 읽는 동작을 설명한다.

<40> 클럭(CLK)이 하이인 나머지 반주기 동안에 프리차지 신호(PRECHARGE) 및 역프리차지 신호(PRECHARGE_B)는 각각 하이와 로우로 천이되고, 그에 따라 프리차지 트랜지스터(M17) 및 역프리차지 트랜지스터(M12)가 오프됨으로써 비트라인의 전압값에 영향을 주지 못하게 되어 비트라인의 전압은 프리차지 동작 시 하이로 충전된 전압을 계속 유지한다. 그리고, 하이의 비트라인 전압에 의해 비트라인감지 트랜지스터(M11)가 오프되어 이로 인해 노드 N은 로우 레벨을 그대로 유지하게 된다. 따라서, 로우의 노드 N 값에 따라 스위치 트랜지스터(M10)는 오프 상태를 계속 유지하여 비트라인의 전압값에 영향을 끼치지 못하게 됨으로써 단위 래치에 저장된 전압 그대로 로우가 출력된다. 이때, 컬럼 선택 신호가 선택되더라도 저장 트랜지스터(M16)의 게이트에 로우의 값이 저장되어 있으므로 저장 트랜지스터(M9)가 오프되어 비트라인과 접지 사이의 전류 패스는 형성되지 않으며 그에 따라 비트라인의 전압값은 변화하지 않는다. 그러므로 읽기 데이터로 출력되는 데이터 출력전압은 프리차지 동작시와 변함없이 로우가 출력되어 타이밍 상으로 전혀 문제가 되지 않는다.

<41> 마지막으로, 단위 래치(62)에 저장된 '1' 데이터를 읽는 동작을 설명한다.

<42> 클럭(CLK)이 하이인 나머지 반주기의 초기에는 단위 래치(62)에 '0'이 저장된 경우와 마찬가지로 프리차지 신호(PRECHARGE)와 역프리차지 신호(PRECHARGE_B)가 각각 하이와 로우로 천이되어 프리차지 트랜지스터(M17) 및 역프리차지 트랜지스터(M12)가 오프되어 비트라인의 전압은 그대로 하이로 유지하게 되고 노드 N의 전압 역시 로우로 유지됨으로써, 스위치 트랜지스터(M10)가 턴오프되어 비트라인의 전압값 하이에 영향을 끼치지

못한다. 그러나, 컬럼 선택 신호가 선택되어 컬럼 선택 트랜지스터(M15)가 온되면 컬럼 선택 트랜지스터(M15)와 저장 트랜지스터(M16)를 통해 비트라인과 접지전원단 사이에 전류 패스가 형성되어 비트라인에 있던 전하가 트랜지스터(M15, M16)를 통해 접지전원단으로 빠져나간다. 이때, 비트라인 전압이 하이에서 점차 떨어져 PMOS 트랜지스터의 문턱 전압값 밑으로 내려가게 되면, 비트라인감지 트랜지스터(M11)가 온되어 노드 N의 전압이 로우에서 점차 하이로 올라가고, 이 노드 N의 전압이 NMOS 트랜지스터의 문턱 전압값보다 커지면 스위치 트랜지스터(M10)가 온되어 비트라인과 접지전원단 사이에 전류 패스가 형성되어 비트라인의 전하가 트랜지스터(M15, M16)의 전류패스와 함께 접지전원단으로 빠짐으로써 비트라인의 전압은 로우로 빠르게 떨어진다. 계속해서, 비트라인 전압이 떨어져 PMOS 트랜지스터의 문턱전압보다 훨씬 작아지면 비트라인감지 트랜지스터(M11)는 계속 온 상태를 유지하게 되고 그에 따라 노드 N은 하이로 유지됨으로써 비트라인 전압값이 더욱 감소하게 한다. 이러한 피드백 동작은, 클럭(CLK)이 로우가 되면 프리차지 신호(PRECHARGE)와 역프리차지 신호(PRECHARGE_B)가 인에이블되어 비트라인 전압은 하이로, 노드 N의 전압은 로우로 빠르게 천이하여 비트라인감지 트랜지스터(M11)와 스위치 트랜지스터(M10)를 오프시킴으로써 중단된다.

<43> 도 6은 프리차징 동작 시 및 래치에 저장된 하이의 데이터값을 읽는 경우에 대하여 종래와 본 발명의 비트라인 전압값 천이 상태를 비교 시뮬레이션한 결과 도면으로서, 도면에서 (a)는 종래 기술에 따른 프리차징 동작 시 및 래치에 저장된 하이 데이터값을 읽을 때의 비트라인 전압값 천이 파형도이고, (b)는 본 발명에 따른 프리차징 동작 시 및 래치에 저장된 하이 데이터값을 읽을 때의 비트라인 전압값 천이 파형도이다.

<44> 프리차징 동작시에는 비트라인 전압값이 종래 기술과 본 발명에서 거의 비슷하게

변화하지만, 래치에 저장된 하이의 데이터 값을 읽을 때에는 본 발명에서의 비트라인 전압값 변화(하이에서 로우)가 더 빠름을 알 수 있다.

<45> 상기 도 6에 나타난 시뮬레이션 결과는 트랜지스터들의 사이즈, 래치의 어레이 수 및 레이아웃(layout)에 따라 다소 차이가 있을 수 있지만 피드백 회로부로 인해 데이터를 읽는 속도는 적어도 수 nsec 이상 빨라진다. 따라서, 피드백 회로부를 구비한 본 발명에 따른 이미지 센서의 동작 속도는 적어도 수 M μ s 이상 증가하게 되고, 이미지 센서의 화소수에 따라 적어도 초당 수 프레임(frame)에서 많게는 십 프레임 이상을 더 얻을 수 있다.

<46> 결론적으로, 상기와 같이 구성된 피드백 회로부를 이용하여 래치에 저장된 데이터 값을 출력할 경우 비트라인의 전압값을 비트라인에 연결된 PMOS 트랜지스터인 비트라인 감지 트랜지스터(M11)가 감지하여 비트라인 전압에 반대되는 전압을 NMOS 트랜지스터인 스위치 트랜지스터(M10)의 게이트에 전달하여 비트라인 전압을 빨리 로우로 낮춤으로써 이미지 센서의 고속 데이터 출력을 보장해 준다.

<47> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

<48> 예컨대, 본 발명의 상세한 설명에서는 디지털화된 화소의 이미지 데이터를 고속 출력하기 위하여 비트라인의 전압 변화를 감지하여 비트라인의 전압값을 빠르게 하이나 로우로 결정시켜 주기 위한 피드백 회로부를 이중 버퍼를 구성하는 각 단위 래치 내부에 구현하는 것으로 예시하였지만, 이러한 피드백 회로부는 이미지 센서의 구성상 별도의

로직으로도 구현이 가능하다.

【발명의 효과】

<49> 상기와 같이 이루어지는 본 발명은, 래치에 저장된 데이터 출력 시 비트라인 노드에 비트라인 전압을 감지하는 피드백 회로부를 구비하여 비트라인의 전압 상태에 따라 비트라인의 전압값을 빠르게 결정함으로써 이미지 센서가 고속으로 데이터를 출력할 수 있다.

【특허청구범위】**【청구항 1】**

고속 동작을 위한 이미지 센서에 있어서,

클릭 신호에 응답하여 상기 이미지 센서의 전체적인 동작을 제어하기 위한 디지털 제어 회로부;

빛에 반응하는 성질을 극대화 시키도록 만든 화소를 가로 N개, 세로 M개로 배치하여 외부에서 들어오는 상에 대한 정보를 감지하는 화소 어레이부;

상기 클릭 신호에 응답하여 선형적으로 감소하는 비교 기준 전압 및 상기 화소 어레이부로부터 출력되는 상기 각 화소에서 감지한 아날로그 전압을 서로 비교하여, 상기 비교 기준 전압이 상기 아날로그 전압보다 클 때 인에이블되는 쓰기 가능 신호를 출력하는 아날로그-디지털 변환 수단;

상기 아날로그-디지털 변환 수단으로부터의 상기 쓰기 가능 신호에 응답하여 상기 비교 기준 전압에 대응되는 상기 디지털 제어 회로부로부터의 디지털 이미지 데이터를 저장하는 다수의 단위 래치로 이루어진 이중 버퍼; 및

상기 디지털 이미지 데이터의 변화에 해당되는 비트라인의 전압 레벨 변화를 감지하고, 감지한 상기 비트라인의 전압 레벨을 상기 이미지 센서의 하이 또는 로우의 이미지 데이터로 상대적으로 빠르게 결정시켜 출력하기 위한 피드백 회로부

를 포함하여 이루어지는 것을 특징으로 하는 이미지 센서.

【청구항 2】

제 1 항에 있어서, 상기 다수의 단위 래치는 각각,

상기 쓰기 가능 신호 및 상기 디지털 제어 회로로부터 출력되는 뱅크 선택 신호에 각각 응답하여 상기 디지털 제어 회로로부터 출력되는 상기 디지털 이미지 데이터에 대한 스위칭 동작을 수행하는 제1 및 제2 트랜지스터; 및

비트라인 및 접지전원단 사이에 직렬 연결되며, 상기 디지털 제어 회로로부터 출력되는 어드레스 신호에 응답하여 인에이블되는 컬럼 선택 신호를 게이트단으로 입력받는 제3 트랜지스터 및 게이트단이 상기 제2 트랜지스터의 드레인단에 연결되는 제4 트랜지스터

를 포함하여 이루어지는 이미지 센서.

【청구항 3】

제 2 항에 있어서, 상기 다수의 단위 래치는 각각,

상기 클럭 신호에 응답하여 상기 단위 래치의 프리차지 동작을 제어하는 상기 디지털 제어 회로로부터의 프리차지 신호에 응답하여 상기 비트라인을 프리차지하기 위한 제5 트랜지스터

를 더 포함하여 이루어지는 이미지 센서.

【청구항 4】

제 3 항에 있어서, 상기 피드백 회로부는,

전원전압단에 연결되며, 게이트단이 상기 비트라인에 연결되어 상기 비트라인의 전압 레벨을 감지하기 위한 제6 트랜지스터;

상기 제6 트랜지스터의 드레인단 및 접지전원단 사이에 연결되며, 게이트단으로 상기 프리차지 신호의 위상과 반대인 역프리차지 신호를 인가받아 상기 단위 래치의 프리차지 동작 시 턴온되는 제7 트랜지스터; 및

상기 비트라인 및 접지전원단 사이에 연결되며, 게이트단이 상기 제6 및 제7 트랜지스터의 공통 드레인단에 연결되어 상기 비트라인의 전압 레벨에 따라 결정되는 상기 공통 드레인단 전압 레벨에 응답하여 상기 비트라인을 풀다운 구동하는 제8 트랜지스터를 포함하여 이루어지는 이미지 센서.

【청구항 5】

제 3 항에 있어서, 상기 프리차지 신호는,

상기 클럭 신호와 동일한 위상을 가지는 신호인 것을 특징으로 하는 이미지 센서.

【청구항 6】

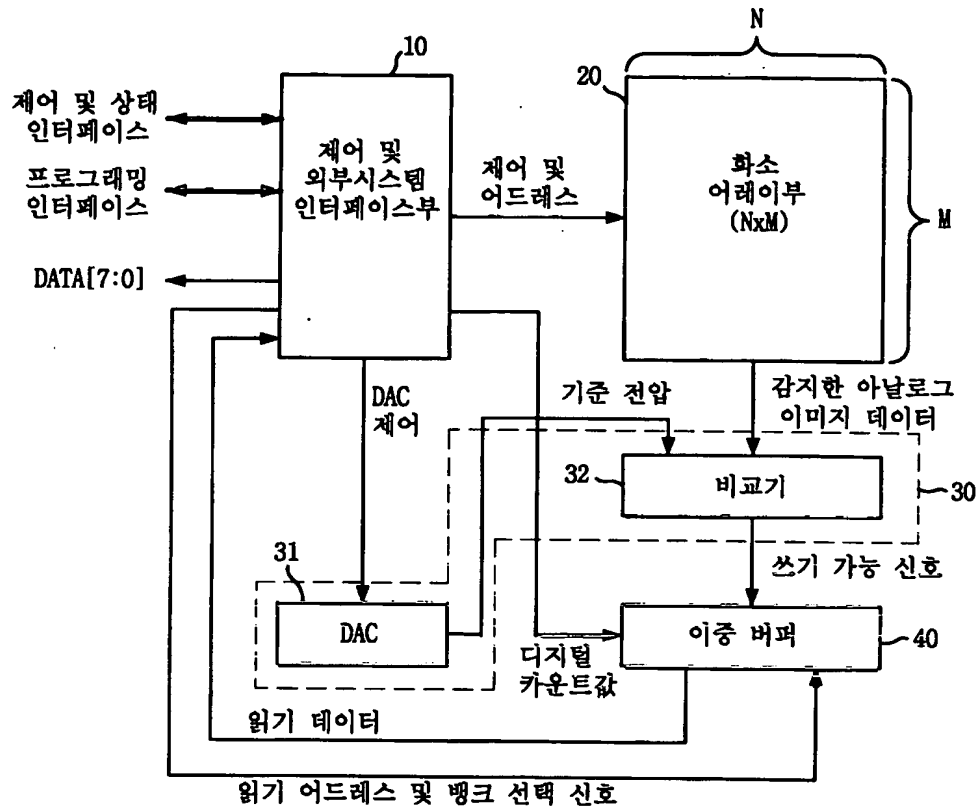
제 4 항에 있어서,

상기 제1 내지 제4 트랜지스터, 상기 제7 및 제8 트랜지스터는 NMOS 트랜지스터이고,

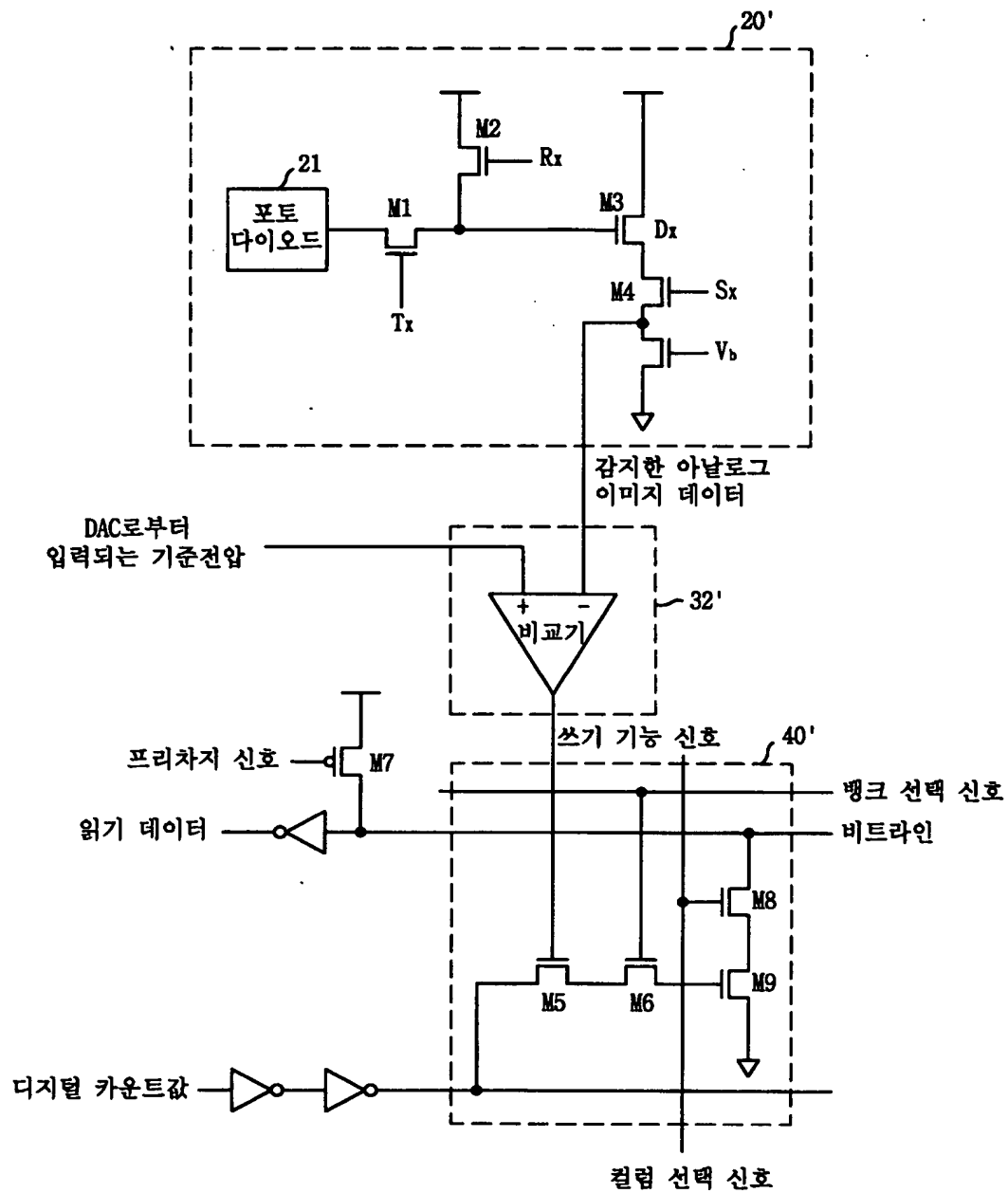
상기 제5 및 제6 트랜지스터는 PMOS 트랜지스터인 것을 특징으로 하는 이미지 센서.

【도면】

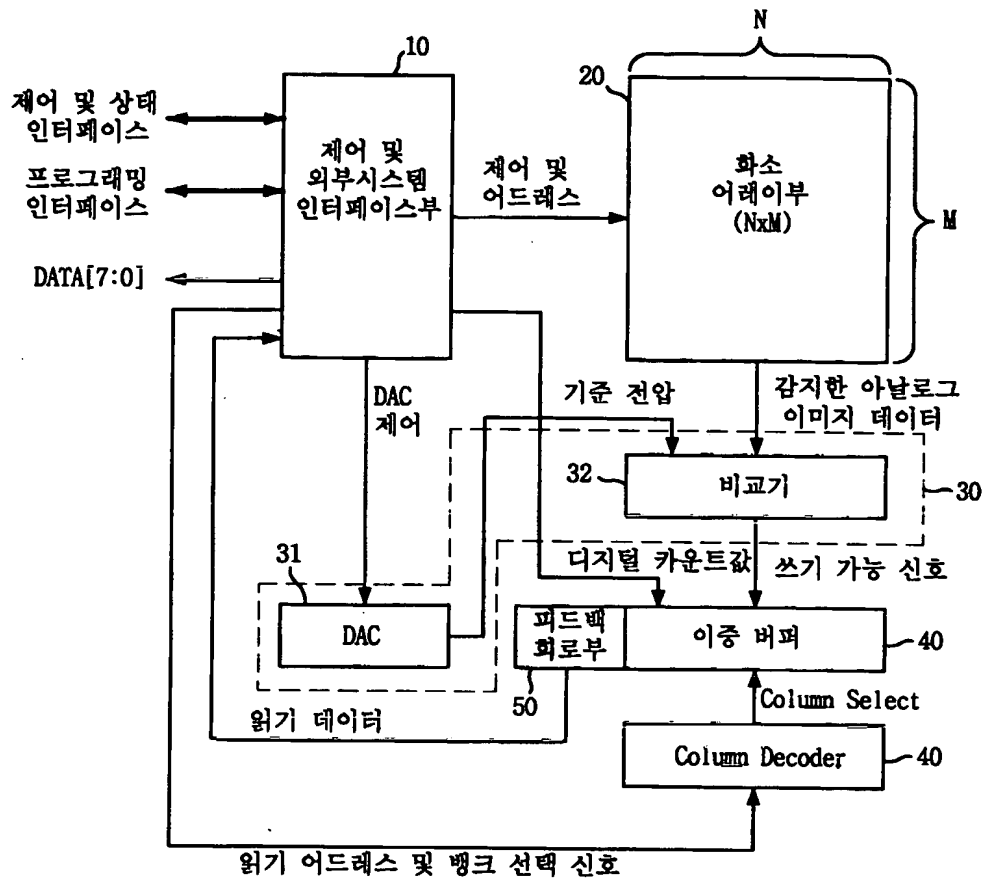
【도 1】



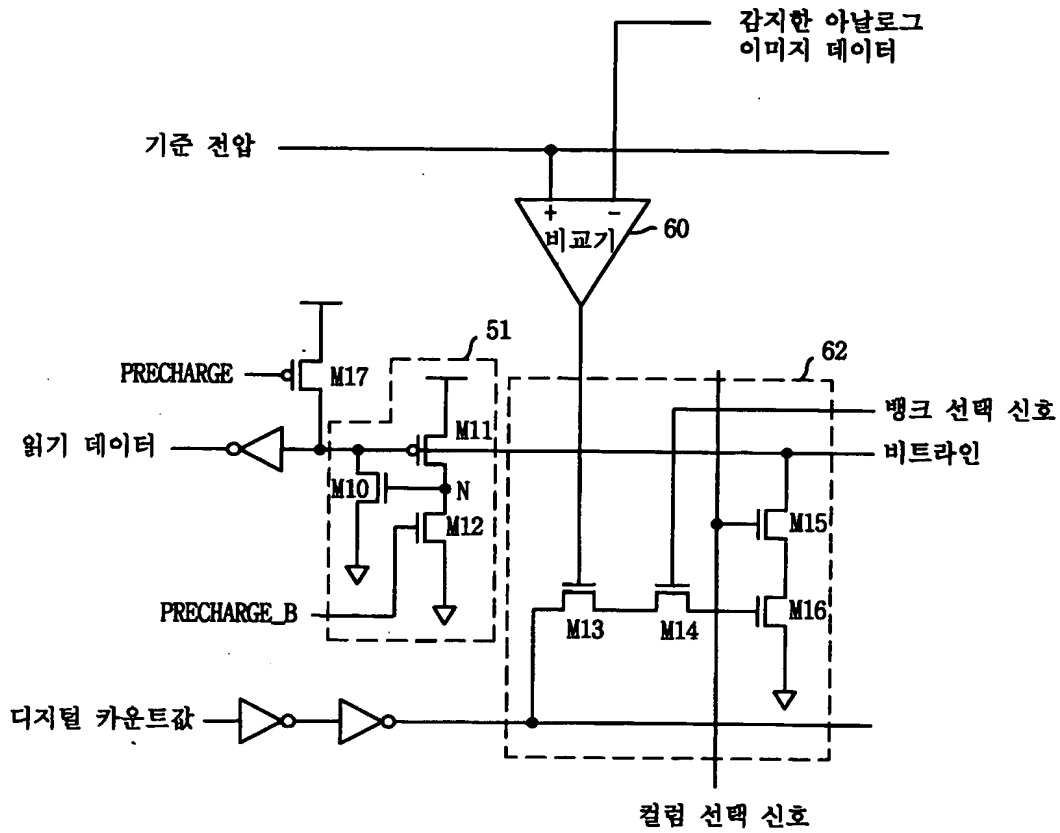
【도 2】



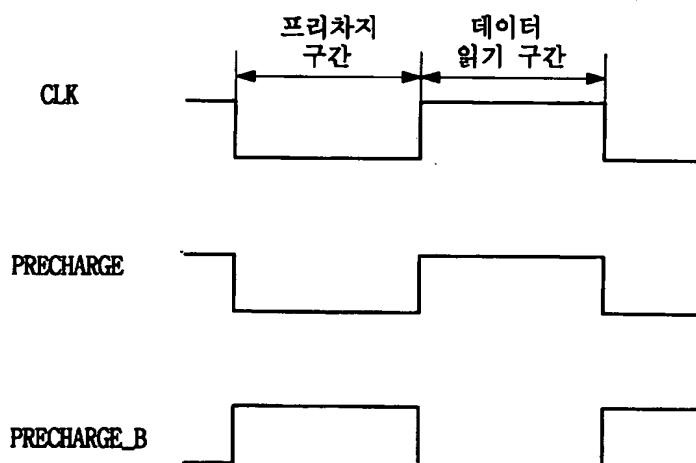
【도 3】



【도 4】



【도 5】



【도 6】

